

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-295724

(P2004-295724A)

(43) 公開日 平成16年10月21日(2004.10.21)

(51) Int.Cl.⁷

G06F 3/00

G06F 1/18

G06K 17/00

F1

G06F 3/00

G06K 17/00

G06F 1/00 320E

テーマコード(参考)

5B058

審査請求 未請求 請求項の数 18 O L (全 14 頁)

(21) 出願番号 特願2003-89691 (P2003-89691)

(22) 出願日 平成15年3月28日(2003.3.28)

(特許庁注: 以下のものは登録商標)

コンパクトフラッシュ

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100089071

弁理士 玉村 静世

(72) 発明者 首藤 新一

東京都小平市上水本町五丁目20番1号

株式会社日立製作所半導体グループ内

(72) 発明者 田村 隆之

東京都小平市上水本町五丁目20番1号

株式会社日立製作所半導体グループ内

(72) 発明者 熊原 千明

東京都小平市上水本町五丁目20番1号

株式会社日立製作所半導体グループ内

Fターム(参考) 5B058 CA13 KA40 YA20

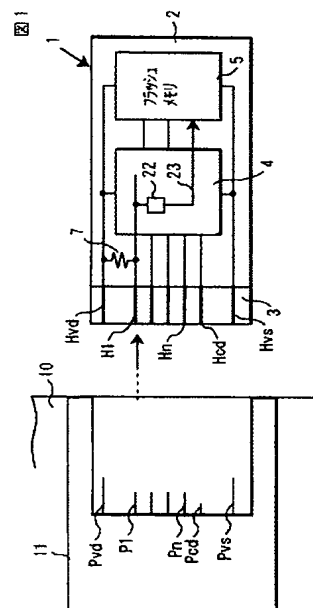
(54) 【発明の名称】 半導体処理装置

(57) 【要約】

【課題】カード引き抜きによる電源遮断による不都合を比較的容易に解消することができるカード型電子装置等の半導体処理装置を提供する。

【解決手段】半導体処理装置は、インタフェース制御回路(4)と処理回路(5)を有し外部装置例えばカードスロット(11)に装着されて動作電源の供給を受ける。カード引き抜きによる電源遮断による不都合を解消する第1形態として、前記インタフェース制御回路は、カードスロットから引き抜かれるときカードスロットからの電源供給遮断前にカードスロットの所定の端子(P1)から分離する第1外部端子(H1)に生ずる電位変化を検出し、動作状態の処理回路に終了処理を指示する。上記より、電源供給が完全に遮断される前に半導体処理装置は自らで終了処理を行うことができる。

【選択図】 図1



【特許請求の範囲】**【請求項1】**

インタフェース制御回路と処理回路を有し外部装置に装着されて動作電源の供給を受ける半導体処理装置であって、

前記インタフェース制御回路は、外部装置から引き抜かれるとき外部装置からの電源供給遮断前に外部装置の所定の端子から分離する第1外部端子に生ずる電位変化を検出し、動作状態の処理回路に終了処理を指示することを特徴とする半導体処理装置。

【請求項2】

インタフェース制御回路と処理回路を有し外部装置に装着されて動作電源の供給を受ける半導体処理装置であって、

前記インタフェース制御回路は、外部装置から引き抜かれるとき外部装置からの電源供給遮断前に外部装置の所定の端子から分離する第1外部端子に生ずる電位変化を検出し、電源遮断の発生を示すフラグを保存することを特徴とする半導体処理装置。

【請求項3】

インタフェース制御回路と処理回路を有し外部装置に装着されて動作電源の供給を受ける半導体処理装置であって、

前記インタフェース制御回路は、外部装置から引き抜かれるとき外部装置からの電源供給遮断前に外部装置の所定の端子から分離する第1外部端子に生ずる電位変化を検出し、電源回路を起動させて処理回路の動作電源を補うことを特徴とする半導体処理装置。

【請求項4】

前記第1外部端子に接続するモニタ端子を有し、前記モニタ端子は前記第1外部端子に生ずる電位変化をホスト装置にモニタ可能にする端子であることを特徴とする請求項1乃至3の何れか1項記載の半導体処理装置。

【請求項5】

前記第1外部端子はリセット指示の解除後に第1電圧にされるリセット端子であり、前記リセット端子は第2外部端子に抵抗素子を介して接続され、前記第2外部端子は外部装置から前記第1電圧とは逆極性の第2電圧が供給されることを特徴とする請求項1乃至3の何れか1項記載の半導体処理装置。

【請求項6】

前記第1外部端子は処理回路の動作動作状態において第1電圧にされる外部端子であり、前記外部端子は第2外部端子に抵抗素子を介して接続され、前記第2外部端子は外部装置から前記第1電圧とは逆極性の第2電圧が供給されることを特徴とする請求項1乃至3の何れか1項記載の半導体処理装置。

【請求項7】

前記第1電圧は回路の接地電圧であり第2電圧は電源電圧であり、第2外部端子は外部電源端子であることを特徴とする請求項5又は6記載の半導体処理装置。

【請求項8】

前記第1電圧は電源電圧であり第2電圧は回路の接地電圧であり、第2外部端子はグラウンド源端であることを特徴とする請求項5又は6記載の半導体処理装置。

【請求項9】

第1外部端子は複数のグラウンド端子の内の一つであり、前記一つのグラウンド端子は抵抗素子を介して電源端子に接続されることを特徴とする請求項1乃至3の何れか1項記載の半導体処理装置。

【請求項10】

前処理回路は電気的に消去及び書き込み可能な不揮発性メモリであり、前記インタフェース制御回路は外部インタフェース制御と前記不揮発性メモリに対すメモリ制御を行う制御回路であることを特徴とする請求項1記載の半導体処理装置。

【請求項11】

前記終了処理は、消去及び書き込み処理途中の不揮発性メモリセルの閾値電圧を所定の閾値電圧分布に揃える処理であることを特徴とする請求項10記載の半導体処理装置。

【請求項12】

前記終了処理は、消去及び書き込み処理途中の不揮発性メモリセルのブロックを識別可能な識別フラグをセットして保存する処理であることを特徴とする請求項10記載の半導体処理装置。

【請求項13】

前記終了処理は、消去及び書き込み処理の途中の不揮発性メモリセルに対する完全遂行処理を含むことを特徴とする請求項12記載の半導体処理装置。

【請求項14】

外部装置の対応端子に着脱可能な複数の外部端子と、前記複数の外部端子に接続する第1処理回路と、前記第1処理回路の制御を受ける第2処理回路と、前記複数の外部端子の内の第1外部端子と第2外部端子とを接続する抵抗素子と、を有し、

前記第1外部端子は第2処理回路の動作状態において第1電圧にされ、

前記第2外部端子は第2電圧を受け、

前記第1処理回路は、前記外部装置から離脱するとき外部装置からの電源供給が遮断される前に前記第1外部端子が前記第1電圧から第2電圧に変化するのを検出してそれに応答する処理を行うことを特徴とする半導体処理装置。

【請求項15】

前記第1外部端子はリセット指示の解除後に第1電圧にされるリセット端子であることを特徴とする請求項14記載の半導体処理装置。

【請求項16】

外部装置の対応端子に着脱可能な複数の外部端子と、前記複数の外部端子に接続する第1処理回路と、前記第1処理回路の制御を受ける第2処理回路と、前記複数の外部端子の内の第1外部端子と第2外部端子とを接続する抵抗素子と、を有し、

前記第1外部端子は複数のグランド端子の内の一つであり、

前記第2端子は電源端子であり

前記第1処理回路は、前記外部装置から離脱するとき外部装置からの電源供給が遮断される前に前記第1外部端子が回路の接地電圧から電源電圧に変化するのを検出してそれに応答する処理を行うことを特徴とする半導体処理装置。

【請求項17】

外部装置から引き抜かれるとき前記第1外部端子は他のグランド端子に比べて外部装置の対応端子から早く分離される配置を有することを特徴とする請求項16記載の半導体処理装置。

【請求項18】

前記第2処理回路は電氣的に消去及び書き込み可能な不揮発性メモリであり、前記第1処理回路は外部インタフェース制御と前記不揮発性メモリに対すメモリ制御を行う制御回路であることを特徴とする請求項14又は16記載の半導体処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ATA(ATアタッチメント)カード又はCF(コンパクトフラッシュ)カード等の規格に準拠したフラッシュメモリカードに代表されるカード型電子装置等の半導体処理装置に関し、特に動作中における半導体処理装置の不所望な抜き取りによるデータ破壊の防止もしくはデータ復旧を可能にする技術に適用して有効な技術に関する。

【0002】

【従来の技術】

カードスロットに対するATAカード等の装着及び引き抜き検出にはカード内でプルダウンされた端子とカードスロット内部でプルアップされた端子との対応端子を用いる。カードスロットにカードが装着されて前記対応端子が接続されるとカードスロットの対応端子がグランドに引かれ、当該対応端子を監視するカードスロット内のインタフェース回路がカードの装着を検出してカードに動作電源の供給を開始する。カードの引き抜き時は先に

前記対応端子が分離することによってカードスロットのインタフェース回路が当該端子が電源電圧にされるのを検出することによりカード引き抜きを検出する。カードスロットのインタフェース回路はカード引き抜きを検出して動作電源の供給を停止する（特許文献1参照）。

【0003】

【特許文献1】

特開2000-99215号公報（図5）

【0004】

【発明が解決しようとする課題】

しかしながら上記従来技術はカード引き抜きによる電源遮断によってカード側で発生する不都合について考慮されていない。本発明者の検討によれば、フラッシュメモリカードにデータの書き込みを行っている最中にカードが引き抜かれて動作電源の供給が遮断され、電源電圧が低下する中でメモリ部に単にデータ書き込み動作を続けるとメモリ部に悪影響を及ぼす場合がある。例えば、書き込み処理前の消去処理を行ったところで動作電源が遮断されると、過消去状態の不揮発性メモリセルが残る場合がある。ここで過消去状態の不揮発性メモリセルとは、消去状態のメモリセルのしきい値電圧が含まれるべきしきい値電圧分布を超えて、メモリセルのしきい値電圧が変化している状態をいい、例えば消去状態のしきい値電圧分布が低電圧側にある場合、しきい値電圧がしきい値電圧分布よりも低い電圧になり負電圧状態になっている様なメモリセルを指す。しきい値電圧が負電圧になっている様なメモリセルではワード線に非選択レベルの電圧（例えば0V）を印可したとしても、メモリセルはオン状態となりチャンネルに電流が流れてしまう。このような過消去メモリセルがノーマリ・オンの状態になると、これとビット線を共有するメモリセルは誤動作を生ずる。これに対しては、過消去メモリセルを残さないようにする、過消去メモリセルの発生の虞を把握して後から復旧や救済処理を可能にする、或は、誤動作の虞のある回路部分を後から切り離し可能にする、等の対策を講ずることが必要になる。

【0005】

そのために、▲1▼予備バッテリーを持つ、▲2▼容量の大きなコンデンサを持つ、▲3▼データ領域の2重化、▲4▼ユーザへの注意徹底等で対処することも可能である。しかしながら、▲1▼小型のカードでは予備バッテリーを搭載する容積的な余裕はない。また原価も上昇する。▲2▼容量の大きなコンデンサも▲1▼と同様である。▲3▼データの管理方式が複雑になる。▲4▼全てのユーザへの徹底は不可能である。

【0006】

本発明の目的は、カード引き抜きによる電源遮断による不都合を比較的容易に解消することができるカード型電子装置に代表される半導体処理装置を提供することにある。

【0007】

本発明の別の目的は、カード引き抜きによる電源遮断による不都合をメモリやデータ管理方式等に応じて対策することが可能なカード型電子装置に代表される半導体処理装置を提供することにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】

〔1〕半導体処理装置例えばカード型電子装置（1）は、インタフェース制御回路（4）と処理回路（5）を有し外部装置例えばカードスロット（11）に装着されて動作電源の供給を受ける。カード引き抜きによる電源遮断による不都合を解消する第1形態として、前記インタフェース制御回路は、カードスロットから引き抜かれるときカードスロットか

らの電源供給遮断前にカードスロットの所定の端子 (P 1、P v s 2) から分離する第 1 外部端子 (H 1、F v s 2) に生ずる電位変化を検出し、動作状態の処理回路に終了処理を指示する。上記より、電源供給が完全に遮断される前にカード型電子装置は自らで終了処理を行うことができる。

【 0 0 1 1 】

第 2 形態として、前記インタフェース制御回路は、カードスロットから引き抜かれるときカードスロットからの電源供給遮断前にカードスロットの所定の端子から分離する第 1 外部端子に生ずる電位変化を検出し、電源遮断の発生を示すフラグを不揮発性ラッチ回路 (2 5) に保持する。上記より、インタフェース制御回路は電源投入後にフラグをチェックし、電源遮断発生の有無を判別し、電源遮断があったときは、処理回路の異常を検出し、必要に応じて復旧処理を行えばよい。

【 0 0 1 2 】

第 3 形態として、前記インタフェース制御回路は、カードスロットから引き抜かれるときカードスロットからの電源供給遮断前にカードスロットの所定の端子から分離する第 1 外部端子に生ずる電位変化を検出し、電源回路例えばチャージポンプ回路 (3 0) を起動させて処理回路の動作電源を補う。上記より、電源供給が完全に遮断されるまでの時間を引き延ばすことができ、その間に必要な処理を完了することが容易になる。チャージポンプ回路のような電源回路は元々処理回路に内蔵されているもの、或はそれ専用増設されたもの、の何れであってもよい。

【 0 0 1 3 】

動作状態の処理回路に対する終了処理の指示状況を逸早くホスト装置にも知らせるには、前記第 1 外部端子に接続するモニタ端子 (H 2) を設ける。前記モニタ端子は前記第 1 外部端子に生ずる電位変化をホスト装置にモニタ可能にする端子である。

【 0 0 1 4 】

〔 2 〕電源遮断検出の第 1 形態として、前記第 1 外部端子 (H 1) はリセット指示の解除後に第 1 電圧にされるリセット端子であり、前記リセット端子は第 2 外部端子 (H v d) に抵抗素子 (7) を介して接続され、前記第 2 外部端子はカードスロットから前記第 1 電圧とは逆極性の第 2 電圧が供給される。

【 0 0 1 5 】

第 2 形態として、前記第 1 外部端子は処理回路の動作状態において第 1 電圧にされる外部端子であり、前記外部端子は第 2 外部端子に抵抗素子を介して接続され、前記第 2 外部端子はカードスロットから前記第 1 電圧とは逆極性の第 2 電圧が供給される。前記外部端子は、例えば処理回路が動作中であることを間接的に示し得る信号端子である。

【 0 0 1 6 】

上記第 1 及び第 2 形態において、前記第 1 電圧は回路の接地電圧 (G N D) であり第 2 電圧は電源電圧 (V d d) であり、第 2 外部端子は外部電源端子 (H v d) である。その逆であってもよい。即ち、前記第 1 電圧は電源電圧 (V d d) であり第 2 電圧は回路の接地電圧 (G N D) であり、第 2 外部端子はグランド源端 (H v s) である。

【 0 0 1 7 】

電源遮断検出の第 3 形態として、第 1 外部端子は複数のグランド端子 (F v s 1、F v s 2) の内の一つ (F v s 2) であり、前記一つのグランド端子は抵抗素子 (7) を介して電源端子 (F v d) に接続される。

【 0 0 1 8 】

電源遮断検出の何れの形態であっても、電源供給端子はカードスロットの対応端子に対し第 1 外部端子が分離された後に分離される。

【 0 0 1 9 】

〔 3 〕本発明が不揮発性メモリカードに適用される場合、前処理回路は電氣的に消去及び書き込み可能な不揮発性メモリ (5) であり、前記インタフェース制御回路は外部インタフェース制御と前記不揮発性メモリに対すメモリ制御を行う制御回路 (4) である。

【 0 0 2 0 】

このとき、前記終了処理は、例えば消去及び書き込み処理途中の不揮発性メモリセルの閾値電圧を所定の閾値電圧分布に揃える処理である。データの書き込み途中で不所望な電源遮断が発生しても過消去状態のメモリセルが残らない。

【0021】

別の例として前記終了処理は、消去及び書き込み処理途中の不揮発性メモリセルのブロック（消去及び書き込み単位）を識別可能な識別フラグをフラッシュメモリにセットして保存する処理である。これにより、インタフェース制御回路は電源投入後に不揮発性メモリ上の識別フラグをチェックし、消去及び書き込み処理途中で電源遮断が発生したメモリブロックの有無を判別し、そのようなメモリブロックに対しては過消去による不都合を生じないように、データ管理方式等に応じてメモリブロックの代替などの復旧処理を行えばよい。

【0022】

識別フラグのセットと共に消去及び書き込み処理途中の不揮発性メモリセルに対する完全遂行処理を併用してもよい。

【0023】

〔4〕本発明の別の観点による半導体処理装置例えばカード型電子装置は、外部装置例えばカードスロットの対応端子に着脱可能な複数の外部端子と、前記複数の外部端子に接続する第1処理回路（4）と、前記第1処理回路の制御を受ける第2処理回路（5）と、前記複数の外部端子の内の第1外部端子と第2外部端子とを接続する抵抗素子（7）と、を有する。前記第1外部端子は第2処理回路の動作状態において第1電圧にされる。前記第2外部端子は第2電圧を受ける。前記第1処理回路は、前記カードスロットから離脱するときカードスロットからの電源供給が遮断される前に前記第1外部端子が前記第1電圧から第2電圧に変化するのを検出してそれに応答する処理を行う。応答する処理は前記終了処理の指示などである。

【0024】

前記第1外部端子は、例えば、リセット指示の解除後に第1電圧にされるリセット端子である。

【0025】

例えば前記第2処理回路は電氣的に消去及び書き込み可能な不揮発性メモリであり、前記第1処理回路は外部インタフェース制御と前記不揮発性メモリに対すメモリ制御を行う制御回路である。

【0026】

本発明の更に別の観点による半導体処理装置例えばカード型電子装置は、外部装置例えばカードスロットの対応端子に着脱可能な複数の外部端子と、前記複数の外部端子に接続する第1処理回路と、前記第1処理回路の制御を受ける第2処理回路と、前記複数の外部端子の内の第1外部端子と第2外部端子とを接続する抵抗素子と、を有する。前記第1外部端子は複数のグランド端子の内の一つである。前記第2端子は電源端子である。前記第1処理回路は、前記カードスロットから離脱するときカードスロットからの電源供給が遮断される前に前記第1外部端子が回路の接地電圧から電源電圧に変化するのを検出してそれに応答する処理を行う。例えば、前記第1外部端子は、カードスロットから引き抜かれるとき他のグランド端子に比べてカードスロットの対応端子からの早く分離される配置を有する。

【0027】

【発明の実施の形態】

図1には本発明に係る半導体処理装置の一例であるフラッシュメモリカードが例示される。同図に示されるフラッシュメモリカードは例えばPCMCIA（Personal Computer Memory Card International Association）の規格に準拠したPCカードの一種である。

【0028】

フラッシュメモリカード1はカード基板2にインタフェース端子部3、コントローラ4及

び電氣的に消去及び書込み可能な不揮発性メモリの一種であるフラッシュメモリメモリ5が搭載されて構成される。インタフェース端子部3はパーソナルコンピュータなどのカードホスト装置10に設けられているカードスロット11に着脱される。インタフェース端子の種類及び物理的構成はメモリカードが準拠する規格に従って決定される。例えば、インタフェース端子部3には電源端子Hvd、接地端子Hvs、カードディテクト端子Hcd、及び複数の信号端子H1～Hnが設けられる。信号端子H1～Hnにはクロック信号端子を含んでいる。カードスロット11にはそれらに対応する端子として、電源端子Pvd、接地端子Pvs、カードディテクト端子Pcd、及び複数の信号端子P1～Pnが設けられる。例えばカードスロット11側のインタフェース端子Pvd、Pvs、Pcd、P1～Pnはピン、メモリカード側のインタフェース端子Hvd、Hvs、Hcd、H1～Hnはピンが挿入されるホールによって構成される。ホールで構成されるインタフェース端子Hvd、Hvs、Hcd、H1～Hnの先端部は揃えられている。ピンで構成されるインタフェース端子Pvd、Pvs、Pcd、P1～Pnは電源系端子Pvd、Pvsの先端部が最も突出され、その次に信号端子P1～Pn、カードディテクト端子Pcdの順に短くされる。

【0029】

カードスロット11のインタフェース端子Pvd、Pvs、Pcd、P1～Pnは図示を省略するカード制御部に接続され、カード装着分離の検出、カード装着分離検出に応ずる電源の供給と停止の制御、信号インタフェース制御を行う。特に図示はしないが、メモリカード内でカードディテクト端子Hcdはプルダウンされ、カードスロット内部でカードディテクト端子Pcdはプルアップされる。カードスロット11にメモリカード1が装着されて前記対応端子HcdとPcdが接続されるとカードスロット11の端子Pcdが回路の接地電圧（グラウンド電圧）GNDに引かれ、当該対応端子を監視するカードスロット11内のインタフェース回路がカードの装着を検出してメモリカード1に動作電源の供給を開始する。メモリカード1の引き抜き時は先に前記カードディテクト端子PcdとHcdが分離することによってカードスロット11のインタフェース回路が当該端子が電源電圧にされるのを検出することによりカード引き抜きを検出する。カードスロット11のインタフェース回路はカード引き抜きを検出して動作電源の供給を停止する。

【0030】

メモリカード1においてコントローラ4及びフラッシュメモリ5は電源端子Hvdとグラウンド端子Hvsに接続され、カードスロット11より動作電源の供給を受ける。コントローラ4はホスト装置とのインタフェース制御を行い、またフラッシュメモリ5に対しメモリインタフェース制御を行う。

【0031】

フラッシュメモリ5は、電氣的に消去及び書き込み可能な多数の不揮発性メモリセルがマトリクス配置されたメモリマットを有する。前記不揮発性メモリセルは、特に制限されないが、ソース（ソース線接続）、ドレイン（ビット線接続）、チャネル、チャネル上に相互に絶縁されて積み上げられたフローティングゲート及びコントロールゲート（ワード線接続）を持つスタックドゲート構造とされる。例えばワード線に負の高電圧を印加してフローティングゲートから電子をウェル領域に引き抜くことによって消去処理が行なわれ、また、ワード線電圧に正の高電圧を印加してドレイン領域からフローティングゲートへホットキャリアを注入して書込み処理が行なわれる。消去処理と書込み処理ではその後のコントロールゲートから見た閾値電圧が相違され、この相違により情報記憶を行う。

【0032】

コントローラ4はフラッシュメモリ5をハードディスク互換のファイルメモリとしてアクセス制御する。例えば、フラッシュメモリ5のデータ領域をセクタ単位でアクセス可能にアドレス管理すると共に、不良セクタに対する代替セクタの割り当て制御などを行う。フラッシュメモリ5に対するアクセスでは、物理アドレスを用いて、消去処理、書込み処理、読み出し処理のアクセス制御を行う。

【0033】

メモ리카ード1自らがカードスロット11からの引き抜きを検出する構成について説明する。図1の例では信号端子H1が電源端子Hvdに抵抗素子7でプルアップされる。信号端子H1は、カードホスト装置10の対応端子P1に接続されているとき、カードホスト装置10からのリセット指示の解除後に接地電圧GNDにされるリセット端子である。リセット端子P1は出力端子であり、カードホスト装置10はメモ리카ード1の装着を検出すると、リセット端子P1をハイレベルのパルス状に変化させてコントローラ4を初期化する。その後リセット端子P1は常時ローレベルを維持する。この意味において、コントローラ4からの指示にตอบสนองしてフラッシュメモリ5が消去及び書き込み処理等を行っているビジー状態においてローレベルにされる信号の一つと位置付けることができる。

【0034】

図2にはメモ리카ード1がカードホスト装置10に装着されている状態を示す。図2においてリセット端子P1とグランド端子Pvsの間にスイッチが図示されているが、このスイッチはリセット解除後にオン状態にされてリセット端子P1をローレベルにするための回路要素を模式的に示すものである。

【0035】

図2の状態において、リセット端子H1は接地電圧GNDを維持する。カードホスト装置10からメモ리카ード1を引き抜こうとすると、先ず最初にカードディテクト端子Hcdがカードスロット11の対応端子Pcdから分離し、カードホスト装置10のカードコントローラは端子Pvdに対する動作電源の供給を停止する。動作電源の供給が停止されてもカードホスト装置10側の電源供給系における寄生容量成分により、実際に端子Pvd、Hvdの電源電圧が低下するには比較的時間がかかる。この間に、先ず、リセット端子H1がカードホスト装置10の信号端子P1から離脱する。これにより、リセット端子H1は抵抗素子7を介して電源電圧Vddが印加され、ハイレベルに反転される。リセット端子H1のハイレベルはラッチ回路22に保持され、ラッチ回路22の出力信号23によってフラッシュメモリ5に終了処理が指示される。この後、更にメモ리카ード1が引き抜かれてカードスロット11の端子Pvd、Pvsからメモ리카ード1の端子Hvd、Hvsが離脱するまでには時間が有り、この間に、フラッシュメモリ5は前記指示にตอบสนองして終了処理を完了する。

【0036】

前記終了処理は、例えば消去及び書き込み処理途中の不揮発性メモリセルの閾値電圧を所定の閾値電圧分布に揃える処理（書き上げ処理とも称する）である。ここでは終了処理の指示信号23はフラッシュメモリ5のリセット信号（reset）である。フラッシュメモリ5は消去処理又は書き込み処理の途中でリセット信号がアサートされると、書き上げ処理を行う。例えばフラッシュメモリにおいて消去及び書き込みがワード線単位のメモリセルに対して行なわれるとすると、書き上げ処理とは過消去もしくはそれに近い消去状態のメモリセルに対して軽い書き込みを行う処理である。軽い書き込みとは、書き込み高電圧印加時間を通常の書き込み処理よりも短くする書き込み処理であり、消去対象のメモリセルのうち、しきい値電圧が負電圧となっているメモリセルのしきい値電圧を正電圧にまで高くする処理である。ワード線単位に消去及び書き込みが行われる場合に、ワード線に書き込み電圧を印可した場合、しきい値電圧が負電圧となっているメモリセルでは電荷を蓄積する電荷蓄積層に印可される電位差が、しきい値電圧が正電圧となっているメモリセルの電荷蓄積層に印可される電位差に比べて大きくなるため、しきい値電圧が負電圧となっているメモリセル程、早く書き込みが行われることになる。書き上げ処理では過消去状態特にしきい値電圧が負電圧状態となっているメモリセルのしきい値電圧を正電圧にすることが目的であるため、通常の書き込み処理よりも書き込み電圧の印加時間は短くて良い。これにより、フラッシュメモリカード1は、電源供給が完全に遮断される前に、データの書き込み途中で不所望な電源遮断が発生しても過消去状態のメモリセルが残らないように、自らで処理を行うことができる。

【0037】

別の終了処理として、消去及び書き込み処理途中の不揮発性メモリセルのブロックを識別

可能な識別フラグをセットして保存する。識別フラグの格納場所はフラッシュメモリの識別フラグ専用領域であっても、或はセクタ管理領域であってもよい。セクタ管理領域の場合には、その後の電源投入によって読み出し可能であることが保証されなければならない。この意味では、識別フラグ専用領域を用いた方が高い信頼性を得る。この時の終了処理の指示もフラッシュメモリ5に対するリセット信号 (reset) として与えられればよい。このリセット信号 (reset) がアサートされたとき消去処理又は書き込み処理中であれば上記識別フラグを格納する終了処理を行えばよい。これにより、コントローラ4は電源投入後にフラッシュメモリ5上の識別フラグをチェックし、消去及び書き込み処理途中で電源遮断が発生したメモリブロックの有無を判別し、そのようなメモリブロックに対しては過消去による不都合を生じないように、データ管理方式等に応じてメモリブロックの代替などの復旧処理を行えばよい。

【0038】

識別フラグのセットと共に消去及び書き込み処理途中の不揮発性メモリセルに対する完全遂行処理を併用してもよい。セクタの代替を減らすことができ、代替セクタの消費を抑えることが可能になる。

【0039】

図4には終了処理の指示経路の別の例が示される。コントローラ4にはインタフェース制御及びメモリ制御用のマイクロコンピュータ20が設けられている。マイクロコンピュータ20のコントロールレジスタ(図示を省略)の1ビットはカード引き抜き検出機能を有効にするか否かを設定するための設定ビットを有する。この設定ビットは論理値“1”でカード引き抜き検出機能を有効とする。この有効ビット信号は端子H1の信号と共に2入力論理積(AND)ゲート21に入力され、その出力をD型ラッチ回路22のクロック端子で受ける。D型ラッチ回路22のデータ端子Dは接地端子Vssに接続され、その出力端子Qからフラッシュメモリに対するリセット信号23(reset)が出力される。フラッシュメモリーカード1はカードスロット11に対して任意の着脱を許容しない、ハードディスクと完全互換の用途もあり、その時は終了処理の指示は全く不用になる。このとき設定ビットは論理値“0”固定されればよい。

【0040】

図5には終了処理のモニタ端子を設けた例が示される。フラッシュメモリ5に対する終了処理の指示状況を逸早くカードホスト装置10にも知らせるには、前記外部端子H1に接続するモニタ端子H2を設ける。前記モニタ端子H2は前記外部端子H1に生ずる電位変化をカードホスト装置10にモニタ可能にする端子である。これにより、カードホスト装置10は書き込みデータの待避などを行って電源遮断時のデータを再度書き込みを可能にすることが可能になる。また、消去及び書き込み処理中のカード引き抜き禁止についてユーザに注意を促すことができる。

【0041】

カードスロット11からの引き抜き検出の別の構成について説明する。図6の例では信号端子H1がグランド端子Hvsに抵抗素子7でプルダウンされる。信号端子H1に供給されるリセット信号RSTは上記とは逆にローレベルパルスでリセット処理を指示し、その後ハイレベルに維持される。図6にはメモリカード1がカードホスト装置10に装着されている状態を示す。この状態において、信号端子H1は電源電圧Vddを維持する。図7のようにカードホスト装置10からメモリカード1を引き抜こうとすると、先ず最初にカードディテクト端子Hcdがカードスロット11の対応端子Pcdから分離し、カードホスト装置10のカードコントローラ4は端子Pvdに対する動作電源の供給を停止する。動作電源の供給が停止されてもカードホスト装置10側の電源供給系における寄生容量成分により、実際に端子Pvd、Hvdの電源電圧が低下するには比較的時間がかかる。この間に、先ず、信号端子H1がカードホスト装置10の信号端子P1から離脱する。これにより、信号端子H1は抵抗素子7を介して接地電圧GNDが印加され、ローレベルに反転される。端子H1のローレベルはラッチ回路22に保持され、ラッチ回路22の出力信号23によってフラッシュメモリ5に終了処理が指示される。この後、更にメモリカード

1が引き抜かれてカードスロット11の端子Pvd、Pvsからカードの端子Hvd、Hvsが離脱するまでには時間が有り、この間に、フラッシュメモリ5は前記指示にตอบสนองして前記同様の終了処理を完了する。

【0042】

カードスロット11からの引き抜き検出の別の構成について説明する。図8の例ではカードの引き抜きによる信号端子H1の電位変化を検出する点は上記の例と同様であり、コントローラ4はその電位変化にตอบสนองして電源遮断発生を示すフラグを保存する。保存先はフラッシュメモリ5ではなく、コントローラ4内部の不揮発性ラッチ回路25である。不揮発性ラッチ回路25は各ビットにフラッシュメモリ5と同様の不揮発性メモリセルを採用して構成される。コントローラ4は、カードホスト装置10からメモリカード1が引き抜かれようとするとき、信号端子H1のレベルが反転されると、前記不揮発性ラッチ回路25に電源遮断の発生を示すフラグとセクタアドレスを保存する。コントローラ4は電源投入後に前記フラグをチェックし、電源遮断発生の有無を判別し、電源遮断が有ったときは、フラッシュメモリ5の電源遮断発生セクタの異常を判別し、必要に応じてセクタ代替などの復旧処理を行えばよい。

【0043】

カードスロット11からの引き抜き検出の別の構成について説明する。図9の例ではメモリカード1の引き抜きによる信号端子H1の電位変化を検出する点は上記の例と同様であり、コントローラ4はその電位変化にตอบสนองして、チャージポンプ回路30を起動させてフラッシュメモリ5の動作電源を補う。上記より、電源供給が完全に遮断されるまでの時間を引き延ばすことができ、その間に必要な処理を完了することが容易になる。チャージポンプ回路30は元々フラッシュ5に内蔵されているもの、或はそれ専用に増設されたものの何れであってもよい。

【0044】

図10には本発明に係るカード型電子装置の別の例であるフラッシュメモリカードが例示される。同図に示されるフラッシュメモリカードは例えばMMC(Multi Medium Card)の規格に準拠する。

【0045】

フラッシュメモリカード1はカード基板2にインタフェース端子部3、コントローラ4及び電気的に消去及び書込み可能な不揮発性メモリ的一种であるフラッシュメモリメモリ5が搭載されて構成される。インタフェース端子部3はパーソナルコンピュータなどのカードホスト装置10に設けられているカードスロット11に着脱される。インタフェース端子の種類及び物理的構成はメモリカードが準拠する規格に従って決定される。例えば、インタフェース端子部3には電源端子Fvd、接地端子Fvs1、Fvs2、及び複数の信号端子F1～F4が設けられる。カードスロット11にはそれらに対応する端子として、電源端子Pvd、接地端子Pvs1、Pvs2、及び複数の信号端子P1～Pnが設けられる。例えばカードスロット11側のインタフェース端子Pvd、Pvs1、Pvs2、P1～Pnはピン、メモリカード側のインタフェース端子Fvd、Fvs1、Fvs2、F1～F4はピンが接触される平面によって構成される。平面で構成される電源系端子Fvd、Fvs1、Fvs2と、これに対応する電源系インタフェース端子Pvd、Pvs1、Pvs2との接続分離は、Fvd、Fvs1とPvd、Pvs1との接続分離がFvs2とPvs2の接続分離に比べて先とされる。要するに、メモリカード1をカードスロット11に挿入するとき、Pvs1、Pvdが先にFvs1、Fvdに接続し、その後にPvs2がFvs2に接続する。引き抜くときはその逆で、Pvs2がFvs2から分離した後に、Pvs1、PvdがFvs1、Fvdから分離する。例えば端子Pvs2は端子Pvd、Pvs1よりも1mm短い。

【0046】

カードスロット11のインタフェース端子Pvd、Pvs1、Pvs2、P1～P4は図示を省略するカード制御部に接続され、カード装着分離の検出、カード装着分離検出に応ずる電源の供給と停止の制御、信号インタフェース制御を行う。

【0047】

メモリカード1においてコントローラ4及びフラッシュメモリ5は電源端子Fvdとグランド端子Fvsに接続され、カードスロット11より動作電源の供給を受ける。コントローラ4はカードホスト装置10とのインタフェース制御を行い、またフラッシュメモリ5に対しメモリインタフェース制御を行う。

【0048】

フラッシュメモリ5は、上記同様に電氣的に消去及び書き込み可能な多数の不揮発性メモリセルがマトリクス配置されたメモリマツトを有し、前記不揮発性メモリセルに高電圧が印加されて消去及び書き込みが可能にされる。

【0049】

コントローラ4はフラッシュメモリ5をハードディスク互換のファイルメモリとしてアクセス制御する。例えば、フラッシュメモリ5のデータ領域をセクタ単位でアクセス可能にアドレス管理すると共に、不良セクタに対する代替セクタの割り当て制御などを行う。フラッシュメモリ5に対するアクセスでは、物理アドレスを用いて、消去処理、書込み処理、読み出し処理のアクセス制御を行う。

【0050】

メモリカード1自らがカードスロット11からの引き抜きを検出する構成について説明する。図10の例では端子Fvdが電源端子Fvs1に抵抗素子7でプルアップされる。

【0051】

メモリカード1がカードホスト11に装着されている状態において、端子Fvs1は接地電圧GNDを維持する。カードホスト装置10からメモリカード1を引き抜こうとすると、端子Fvs1がカードホスト装置10の信号端子P1から離脱する。これにより、信号端子Fvs1は抵抗素子7を介して電源電圧Vddが印加され、ハイレベルに反転される。端子Fvs1のハイレベルはラッチ回路22に保持され、ラッチ回路22の出力信号23によってフラッシュメモリ5に終了処理が指示される。この後、更にメモリカード1が引き抜かれてカードスロット11の端子Pvd、Pvs2からメモリカード1の端子Fvd、Fvs2が離脱するまでには時間が有り、この間に、フラッシュメモリ5は前記指示に応答して終了処理を完了する。

【0052】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0053】

例えば、不揮発性メモリセルには、ソース（ソース線接続）、ドレイン（ビット線接続）、チャネル、前記チャネル上で隣合って相互に絶縁形成された選択ゲート（ワード線接続）及びメモリゲート（メモリゲート制御線接続）を持つスプリットゲート構造等を採用してもよい。不揮発性メモリの情報記憶は閾値電圧の相違の他に、シリコン窒化膜などの電荷トラップ膜に対するキャリアのトラップ位置の相違によって記憶情報を決定する形式であってもよい。また、一つの不揮発性メモリセルが記憶する情報量は1ビットに限定されず、2ビット以上であってもよい。

【0054】

カード型電子装置をフラッシュメモリカードに適用する場合にはカードの規格は上記の例に限定されず、その他種々の規格のカードに適用可能である。

【0055】

カード型電子装置はフラッシュメモリカードに限定されず、SRAM（Static Random Access Memory）カード、LAN（Local area network）カード、モデムカード、グラフィックカード等であってもよい。この場合、制御情報を記憶する不揮発性記憶装置が有れば、その部分に対してはフラッシュメモリカードと同様に前記終了処理を指示すればよい。本発明は不揮発性メモリを搭載しないカード型電子装置にも適用可能である。例えば通信カードにおいて送信途中で不所望なカー

ドの抜き出しが行なわれるときに送信先に電源遮断エラーコードを送信したり、また、通信カードにおいて受信途中で不所望なカードの抜き出しが行なわれるときには送信元に受信エラーコードを送信して、再送処理の円滑化を図るようにしてもよい。

【0056】

本発明はリムーバブルメディアなど種々のカード型電子装置等の半導体処理装置に広く適用することができる。

【0057】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0058】

すなわち、電源供給が完全に遮断される前にカード型電子装置に代表される半導体処理装置それ自体で引き抜きを検出し、電源遮断に至る前にそれに対処することができる。したがって、メモリカードであれば、メモリやデータ管理方式に応じて遮断対策を講ずることができる。これにより、予備バッテリーを備えたり、大きなコンデンサを持たなくても済み、原価低減と小型軽量化に寄与することができる。電源遮断による不良が減り、カード型電子装置等の半導体処理装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体処理装置の一例であるフラッシュメモリカードとカードスロットを示す概略ブロック図である。

【図2】メモリカードがカードホストに装着されている状態を示す概略ブロック図である。

【図3】カードホストに装着されたメモリカードの引く抜きによって電源端子の接続が保たれたままリセット端子が分離した過渡状態を示す概略ブロック図である。

【図4】終了処理の指示経路の別の例を示すメモリカードの概略ブロック図である。

【図5】終了処理のモニタ端子を設けた例を示すメモリカードの概略ブロック図である。

【図6】図1と信号端子H1の極性が異なる場合の例を示すメモリカードの概略ブロック図である。

【図7】カードホストに装着された図6のメモリカードの引く抜きによって電源端子の接続が保たれたままリセット端子が分離した過渡状態を示す概略ブロック図である。

【図8】カードスロットからの引き抜き検出の別の構成を備えたメモリカードの概略ブロック図である。

【図9】カードスロットからの引き抜き検出の更に別の構成を備えたメモリカードの概略ブロック図である。

【図10】本発明に係る半導体処理装置の別の例として図1とは異なるカード規格に準拠するフラッシュメモリカードの概略ブロック図である。

【符号の説明】

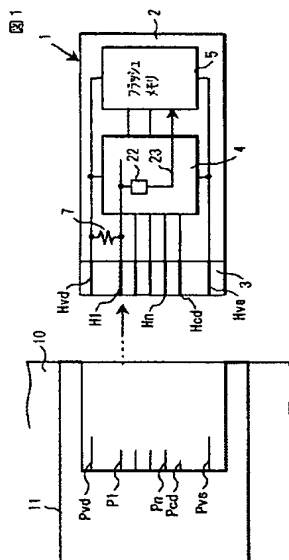
- 1 フラッシュメモリカード
- 2 カード基板
- 3 インタフェース端子部
- 4 コントローラ
- 5 フラッシュメモリ
- 10 ホスト装置
- 11 カードスロット
- Hvd、Pvd 電源端子
- Hvs、Pvs 接地端子
- Hcd、Pcd カードディテクト端子
- H1～Hn、P1～Pn 信号端子
- 7 抵抗素子
- GND 接地電圧（グラウンド電圧）

Vdd 電源電圧

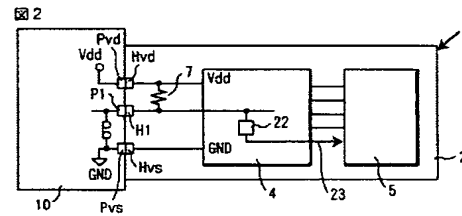
20 マイクロコンピュータ

22 D型ラッチ回路

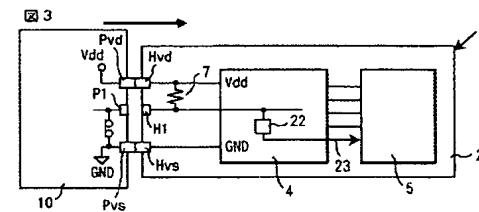
【図1】



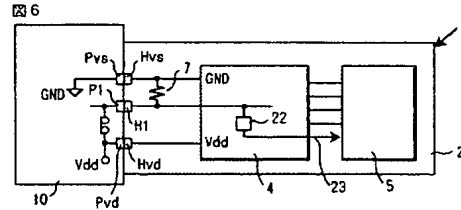
【図2】



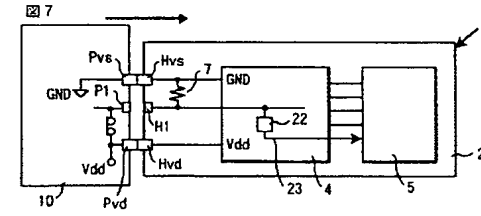
【図3】



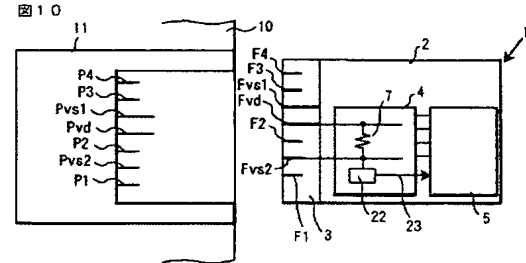
【図6】



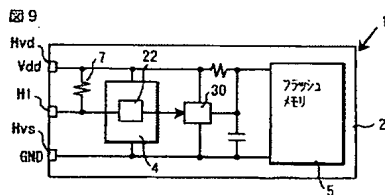
【図7】



【図10】



【图9】



JP2004295724

Original document
SEMICONDUCTOR PROCESSING DEVICE

Publication number:

JP2004295724

Publication date:

2004-10-21

Inventor:

SHUDO SHINICHI; TAMURA TAKAYUKI; KUMAHARA CHIAKI

Applicant:

RENESAS TECH CORP

Classification:

- international:

G06F1/18; G06F1/30; G06F3/00; G06K17/00; G06F1/18; G06F1/30;
G06F3/00; G06K17/00; (IPC1-7): G06F3/00; G06F1/18; G06K17/00

- European:

Application number:

JP20030089691 20030328

Priority number(s):

JP20030089691 20030328

View INPADOC patent family

View list of citing documents

Also published as:

US7269748 (B2)

US2004193928 (A1)

KR20040086517 (A)

CN1534426 (A)

Report a data error here

Abstract of JP2004295724

PROBLEM TO BE SOLVED: To provide a semiconductor processing device such as a card type electronic device wherein a trouble by power supply interruption due to card drawing is relatively easily solved.

SOLUTION: This semiconductor processing device comprises an interface control circuit 4 and a processing circuit 5, and it is installed to an external device, e.g., a card slot 11, to receive an operating power supply. As a first form for solving the trouble by power supply interruption by card drawing, the interface control circuit detects a potential change caused in a first external terminal H1 which is separated, when the device is drawn from the card slot, from a predetermined terminal P1 prior to interruption of power supply from the card slot, and instructs an end processing to the processing circuit which is in operating state. Accordingly, the semiconductor processing device performs the end processing by itself before the power supply is perfectly interrupted.

COPYRIGHT: (C) 2005, JPO&NCIP

Data supplied from the esp@cenet database - Worldwide

Description of corresponding document: US2004193928

BACKGROUND OF THE INVENTION

[0001] The present invention relates to a semiconductor processing system such as a card type electronic device represented by a flash memory card conforming to the standard of the ATA (AT Attachment) card or CF (Compact Flash) card, more particularly to a technique usable effectively for preventing data damages to be caused by ejection of the semiconductor processing system undesirably or for enabling data recovery during an operation.

[0002] A pulled-down terminal in an ATA card and a pulled-up terminal in a card slot that correspond to each other are usually used to detect whether or not the ATA card is inserted/ejected in/from its card slot. If an ATA card is inserted in the card slot and the corresponding terminals are connected to each other, the terminal in the card slot is grounded, then an interface circuit in the card slot, which monitors the terminal, detects the inserted card, thereby beginning supply of an operation power to the card. When the card is ejected, the corresponding terminals are disconnected, then the interface circuit in the card slot detects the supply voltage at the terminal in the card slot, thereby detecting the ejection of the card. The interface circuit in the card slot, when detecting such card ejection, stops the operation power supply to the card (refer to the patent document 1).

[0003] [Patent Document 1]

[0004] Japanese Unexamined Patent Publication 2000-99215 (FIG. 5)

[0005] However, the above conventional technique does not consider the problem that might occur in the card due to the stop of the power supply when the card is ejected. According to an examination by the

inventor of the present invention, if a flash memory card is ejected from the card slot during a write operation, the operation power supply to the card stops and the supply voltage drops. And, if data is kept written in the memory in such a state, the memory might be affected adversely by the write operation. For example, if the operation power supply stops just after an erasure operation is performed just before a write operation in non-volatile memories, some of the non-volatile memory cells might be left over as over-erased ones. An over-erased memory cell means a memory cell in which the threshold voltage is changed over a predetermined threshold voltage range, although the threshold voltage of the erased memory cell should be included in the range. For example, if the erasure state threshold voltage range is set at the low voltage side, the threshold voltage of the memory cell becomes lower than the threshold voltage range and comes to have a negative voltage. In a memory cell of which threshold voltage is negative, the memory cell is turned on even when a non-selection voltage (ex., 0V) is applied to its word line, thereby a current flows in the channel. If such an over-erased memory cell is turned on normally, another memory cell that shares a bit line with the over-erased memory cell comes to malfunction. To prevent such a problem, some countermeasures are taken as follows, for example. It is avoided to leave such over-erased memory cells over, recovery and relief processings are prepared for generation of over-erased memory cells, or a circuit that might malfunction is permitted to be isolated when it malfunctions.

[0006] In order to enable the above countermeasures, the following measures are also effective; (1) preparing a spare battery, (2) using a large capacity capacitor, (3) dualizing the data area, and (4) cautioning the user fully about the trouble occurrence. In (1), however, a small card cannot have space for such a spare battery. If the card has such space, the card cost increases. The large capacity capacitor in (2) also has the same problem as that of (1). In (3), the data management method becomes complicated. In (4), it is impossible to caution every user fully about the problem occurrence.

[0007] Under such circumstances, it is an object of the present invention to provide a semiconductor processing system represented by a card type electronic device, which can solve easily the above conventional problem caused by power shutoff that occurs when the card is ejected.

[0008] It is another object of the present invention to provide a semiconductor processing system represented by a card type electronic device capable of taking countermeasures in accordance with the subject memory/data management method with respect to a problem caused by power shutoff that occurs when the card is ejected.

[0009] These and other objects, as well as novel features of the present invention will become more apparent by referring to the following description and appended drawings.

SUMMARY OF THE INVENTION

[0010] The typical aspects of the present invention to be disclosed in this specification will be summarized as follows.

[0011] [1] The semiconductor processing system, for example, a card type electronic device (1), is provided with an interface control circuit (4) and a processing circuit (5) and inserted in, for example, a card slot (11) to receive an operation power supply therefrom. According to one aspect of the present invention for solving a problem caused by power shutoff that occurs when the card is ejected from the card slot, the interface control circuit, when the card is ejected from the card slot, detects a potential change to occur at a first external terminal (H1, Fvs2) to be disconnected from a predetermined terminal (P1, Pvs2) of the card slot before the power supply from the card slot stops. The control circuit then instructs the processing circuit that is active to begin an ending processing. Consequently, the card type electronic device can perform the ending processing by itself before the power supply is shut off completely.

[0012] According to the second aspect of the present invention, the interface control circuit, when the card is ejected from the card slot, detects a potential change to occur at the first external terminal to be disconnected from a predetermined terminal of the card slot before the power supply to the card from the card slot is shut off. The control circuit then retains a flag that denotes the power shutoff in the non-volatile latch circuit (25). Consequently, the interface control circuit can check the flag after the memory card is powered to check whether or not any power shutoff occurs. If power shutoff is detected, the control circuit decides the processing circuit to be abnormal and perform a recovery processing for the processing circuit as needed.

[0013] According to the third aspect of the present invention, the interface control circuit, when the card is ejected from the card slot, detects a potential change that occurs at the first external terminal to be disconnected from a predetermined terminal of the card slot before the power supply from the card slot stops. The control circuit then starts up a power supply circuit, for example, a charge pump circuit (30) to supplement the operation power of the processing circuit. Consequently, the time required until the power supply is shut off completely can be extended and the control circuit can complete necessary processings easily in the meantime. The power supply circuit such as a charge pump circuit may be any of a built-in one in the processing circuit and a dedicated one added newly.

[0014] The card type electronic device may be provided with a monitoring terminal (H2) connected to the first external terminal so as to report the host system as soon as possible about whether or not the processing circuit that is active is instructed to begin an ending processing. The monitoring terminal (H2) is a terminal that enables the host system to monitor potential changes to occur at the first external terminal.

[0015] [2] According to the first aspect of the above power shutoff detection, the first external terminal (H1) functions as a reset terminal that receives a first voltage after a reset instruction is canceled. The reset terminal is connected to a second external terminal (Hvd) through a resistance element (7) and the second external terminal (Hvd) receives a second voltage from the card slot. The polarity of the second voltage is opposite to that of the first voltage.

[0016] According to the second aspect of the above power shutoff detection, the first external terminal receives the first voltage when the processing circuit is active and the first external circuit is connected to the second external terminal through a resistance element and the second external terminal receives the second voltage from the card slot. The polarity of the second external terminal is opposite of that of the first external terminal. The second external terminal can denote indirectly, for example, that the processing circuit is active.

[0017] According to both of the first and second aspects of the power shutoff detection, the first voltage is a circuit ground voltage (GND) and the second voltage is a supply voltage (Vdd). The second external terminal is an external power supply terminal (Hvd). They may be reversed in function respectively. In other words, it is possible that the first voltage is a supply voltage (Vdd), the second voltage is a circuit ground voltage (GND), and the second external terminal is a ground source terminal (Hvs).

[0018] According to the third aspect of the above power shutoff detection, the first external terminal is one (Fvs2) of a plurality of ground terminals (Fvs1 and Fvs2) and the ground terminal (Fvs2) is connected to the power supply terminal (Fvd) through a resistance element (7).

[0019] In any of the first to third aspects of the above power-off detection, the power supply terminal is disconnected after the first external terminal is disconnected from the terminal for correspondence in the card slot.

[0020] (3) If the present invention applies to a non-volatile memory card, the processing circuit comes to be a non-volatile memory (5) enabling information to be erased/written therefrom/therein electrically and the interface control circuit functions as a control circuit (4) for controlling both of the external interface and the non-volatile memory.

[0021] At this time, the ending processing is made to adjust the threshold voltages of non-volatile memory cells to be set in a predetermined threshold voltage range during an erasure/write operation, for example. Consequently, no over-erased memory cell is left over even when power shutoff occurs undesirably during a data write operation.

[0022] Another example of the ending processing is to set an identification flag that can identify a non-volatile memory cell

block (a unit for erasing/writing) in which an erasure/write operation is performed, then storing the flag in the flash memory. Consequently, the interface control circuit checks the identification flag set in the non-volatile memory after the flash memory is powered so as to check whether or not there is any memory block in which power shutoff occurs during the erasure/write operation. If power shutoff occurs in any memory block, the memory block may be replaced with another according to the data management method employed for the memory so as to avoid trouble to be caused by excessive erasure.

[0023] Together with setting of the identification flag, the erasure/write completing processing may be performed for the subject non-volatile memory cells.

[0024] (4) According to another aspect of the present invention, the semiconductor processing system such as a card type electronic device is provided with a plurality of external terminals that can be attached/detached to/from an external device such as a corresponding terminal in the card slot, a first processing circuit (4) connected to the plurality of external terminals, a second processing circuit (5) controlled by the first processing circuit, and a resistance element (7) used for the connection between the first and second external terminals included in the plurality of external terminals. The first external terminal receives the first voltage when the second processing circuit is active. The second external terminal receives the second voltage. The first processing circuit, when the card is ejected from the card slot, detects a voltage change from the first voltage to the second voltage at the first external terminal before the power supply from the card slot stops, then performs a processing such as an ending processing in response to the detected voltage change.

[0025] The first external terminal is, for example, a reset terminal that receives the first voltage after a reset instruction is canceled.

[0026] The second processing circuit is, for example, a non-volatile memory enabling information to be erased/written therefrom/therein electrically and the first processing circuit controls both of the external interface and the non-volatile memory.

[0027] According to still another aspect of the present invention, the semiconductor processing system such as a card type electronic device is provided with a plurality of external terminals that can be attached/detached to/from their corresponding terminals of an external device such as a card slot, a first processing circuit connected to the plurality of external terminals, a second processing circuit controlled by the first processing circuit, and a resistance element used for the connection between the first and second external terminals included in the plurality of external terminals. The first external terminal is one of a plurality of ground terminals. The second external terminal is a power supply terminal. The first processing circuit detects a voltage change from the ground voltage

from the supply voltage of the circuit at the first external terminal when the card is ejected from the card slot before the power supply from the card slot stops, then performs a processing in response to the detected voltage change. For example, the first external terminal is disposed so as to be disconnected earlier from its corresponding terminal in the card slot than other ground terminals when the card is ejected from the card slot.

BRIEF DESCRIPTION OF THE DRAWINGS

[0028] FIG. 1 is a schematic block diagram that includes a flash memory card, which is an example of a semiconductor processing system of the present invention, as well as a card slot;

[0029] FIG. 2 is a schematic block diagram of a memory card connected to a card host system;

[0030] FIG. 3 is a schematic block diagram for denoting a transition state in which a power supply terminal is kept connected while a reset terminal is disconnected when the memory card is disconnected from the card host system;

[0031] FIG. 4 is a schematic block diagram of a memory card, in which another route of an instruction for an ending processing is denoted;

[0032] FIG. 5 is a schematic block diagram of a memory card provided with a monitoring terminal for monitoring an ending processing;

[0033] FIG. 6 is a schematic block diagram of a memory card having a signal terminal H1 of which polarity differs from that shown in FIG. 1;

[0034] FIG. 7 is a schematic block diagram for denoting a transition state in which the power supply terminal is kept connected while the reset terminal is disconnected when the memory card shown in FIG. 6 is ejected from the card host device;

[0035] FIG. 8 is another schematic block diagram of the memory card provided with means for detecting its ejection from the card slot;

[0036] FIG. 9 is still another schematic block diagram of the memory card provided with means for detecting its ejection from the card slot; and

[0037] FIG. 10 is a schematic block diagram of a flash memory card conforming to a card standard that is different from the standard of the card shown in FIG. 1, the flash memory card being another example of the semiconductor processing system of the present invention.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENT

[0038] FIG. 1 shows a flash memory card, which is an example of the semiconductor processing system of the present invention. The flash memory card shown in FIG. 1 is a kind of PC card conforming to the PCMCIA (Personal Computer Memory Card International Association) standard.

[0039] The flash memory card 1 is configured by an interface terminal block 3 provided on a card substrate 2, a controller 4, and a flash memory 5, which is a kind of non-volatile memory enabling information

to be erased/written therefrom/therein electrically. The interface terminal block 3 is inserted/ejected in/from a card slot 11 of a card host system 10 such as a personal computer. The type and physical configuration of the interface terminal are decided in accordance with the standard to which the memory card conforms. For example, the interface terminal block 3 is provided with a power supply terminal Hvd, a ground terminal Hvs, a card detection terminal Hcd, and a plurality of signal terminals H1 to Hn. A clock signal terminal is included in the signal terminals H1 to Hn. The card slot 11 is provided with a power supply terminal Pvd, a ground terminal Pvs, a card detection terminal Pcd, and a plurality of signal terminals P1 to Pn corresponding to the above terminals. For example, the interface terminals Pvd, Pvs, Pcd, and P1 to Pn of the card slot 11 are pin terminals while the interface terminals Hvd, Hvs, Hcd, and H1 to Hn are hole terminals into which the pin terminals are inserted. The tips of the hole interface terminals Hvd, Hvs, Hcd, and H1 to Hn are aligned. The pin interface terminals Pvd, Pvs, Pcd, and P1 to Pn have tips and the tips of the power supply terminals Pvd and Pvs are protruded and longer than those of the others. The signal terminals P1 to Pn and the card detect terminal Pcd are formed shorter sequentially.

[0040] The interface terminals Pvd, Pvs, Pcd, and P1 to Pn of the card slot 11 are connected to a card controller (not shown) and used to detect insertion/ejection of a card, control supply/stop of a power in accordance with the detection result of an inserted/ejected card, and control the signal interfaces. Although not shown specially, the card detect terminal Hcd in each memory card is pulled down and the card detect terminal Pcd in the card slot is pulled up. If the card 1 is inserted in the card slot 11 and the terminals Hcd and Pcd are connected to each other, the terminal Pcd of the card slot 11 is set at a ground voltage GND of the circuit, then the interface circuit provided in the card slot 11 for monitoring the corresponding terminal detects an inserted card, then begins supply of an operation power to the memory card 1. When the memory card 1 is ejected, the card detect terminals Pcd and Hcd are disconnected from each other, thereby the interface circuit of the card slot 11 detects the supply voltage set at the terminal and the memory card ejection. The interface circuit of the card slot 11 that has detected the card ejection stops supply of the operation power to the card.

[0041] In the memory card 1, the controller 4 and the flash memory 5 are connected to the power supply terminal Hvd and the ground terminal Hvs respectively so as to receive an operation power from the card slot 11. The controller 4 controls the interface with the host system and the interface with the flash memory 5.

[0042] The flash memory 5 is provided with a memory mat in which many non-volatile memory cells, each of which enables information to be erased/written therefrom/therein electrically, are disposed like a matrix. Although not limited specially, each of the non-volatile

memory cells has a stacked gate structure provided with a source (connected to a source line), a drain (connected to a bit line), a channel, as well as a pair of a floating gate and a control gate (connected to a word line respectively) stacked on the channel so as to be insulated from each other. For example, information is erased from a memory cell by moving electrons from the floating gate into the well region with a negative high voltage applied to, for example, the connected word line while a positive high voltage is applied to the word line to charge hot carriers into the floating gate from the well region to write data in the memory cell. The threshold voltage of the memory cell differs between erasing and writing processings at a view from the control gate. And, according to this difference, information is recorded in the memory cell.

[0043] The controller 4 controls accesses to the flash memory 5, which is regarded as a file memory compatible with hard disks at that connection. For example, the controller 4 manages addresses so as to access the data area in the flash memory 5 in sectors and controls allocation of alternative sectors that will take the places of defective sectors. The controller 4 uses physical addresses to control the access to the flash memory 5 for erasing, writing, and reading information from/in/from the flash memory.

[0044] Next, a description will be made for a configuration of the memory card 1 that detects its ejection from the card slot 11 by itself. In FIG. 1, the voltage of the signal terminal H1 is pulled up to that of the power supply terminal Hvd in the resistance element 7. The signal terminal H1, when it is connected to the corresponding terminal P1 of the card host system 10, functions as a reset terminal to be set at the ground voltage GND after a reset instruction from the card host system 10 is canceled. The reset terminal P1 is an output terminal and the card host system 10, when detecting a inserted memory card 1, drives the voltage of the reset terminal P1 into high level pulses to initialize the controller 4. After that, the reset terminal P1 keeps the low level. In that connection, the reset terminal P1 is assumed as one of the signals driven into the low level in response to an instruction from the controller 4 while the flash memory 5 is in the busy state in which it erases/writes information therefrom/therein.

[0045] FIG. 2 shows how the memory card 1 is inserted in the card host system 10. In FIG. 2, a switch is disposed between the reset terminal P1 and the ground terminal Pvs. This switch is a circuit element to be turned on after a reset instruction is canceled so as to drive the level of the reset terminal P1 into Low.

[0046] In the state shown in FIG. 2, the reset terminal H1 keeps the ground voltage GND. If an attempt is made to eject the memory card from the card host system 10, the card detect terminal Hcd is disconnected from the corresponding terminal Pcd of the card slot 11, thereby the card controller of the card host system 10 stops supply of the operation power to the terminal Pvd. Even when the card

controller stops supply of the operation power to the terminal Pvd such way, it takes some time until the supply voltages of the terminals Pvd and Hvd actually drop due to the parasitic capacitor component of the power supply system of the card host system 10. In the meantime, the reset terminal H1 is disconnected from the signal terminal P1 of the card host system 10. As a result, the reset terminal H1 comes to receive the supply voltage Vdd through the resistance element 7 so that the level of the terminal H1 is driven into High. The high level of the reset terminal H1 is retained in the latch circuit 22 and the latch circuit 22 outputs a signal 23 that instructs the flash memory 5 to execute an ending processing. After that, it takes some time until the memory card 1 is ejected from the card slot 11, thereby the terminals Hvd and Hvs of the memory card 11 are disconnected from the terminals Pvd and Pvs of the card slot 11. In the meantime, the flash memory 5 completes the ending processing in response to the above instruction.

[0047] The ending processing is, for example, adjusting the threshold voltages of non-volatile memory cells so as to be set in a predetermined threshold voltage range (also referred to as a light write processing) during an erasure/write processing. At this time, the instruction signal 23 for the ending processing is a reset signal (reset) issued from the flash memory 5. The flash memory 5, if a reset signal is asserted during an erasure/write processing, executes such a light write processing. For example, if an erasure/write processing is executed for each word line connected to memory cells in a flash memory, such a light write processing is done for memory cells that are over-erased or almost over-erased. The light write processing means a write processing executed at a shorter application time of a high write voltage so as to raise the negative threshold voltage of the target memory cells up to a positive voltage. If a write voltage is applied to a word line while an erasure/write processing is made for each word line, each memory cell having a negative threshold voltage comes to have a potential difference larger than that of the memory cell having a positive threshold voltage. The potential difference is applied to the charge accumulation layer of each memory cell regardless of the negative/positive threshold voltage. Consequently, information is written earlier in the memory cell having the negative threshold voltage than the memory cell having the positive threshold voltage. And, because the object of the light write processing is to change the threshold voltage of each over-erased memory cell, more particularly to change the negative threshold voltage of each memory cell to a positive threshold voltage, the write voltage application time for the memory cell can be further shortened than that for normal write processings. Consequently, the flash memory card 1 can cope with an undesirable power shutoff that occurs during a data write processing by itself so as not to leave over-erased memory cells before the power supply thereto is shut off completely.

[0048] The card controller also executes another ending processing that sets an identification flag that can identify a block of non-volatile memory cells in/from which information is being written/erased and stores the flag. The identification flag may be stored in any of its dedicated area provided in the flash memory and the sector management area. If the flag is stored in the sector management area, it must be assured that the flag can be read when the flash memory 5 is powered. Preferably, the flag should be stored in the dedicated area so as to improve the reliability. The instruction for this ending processing may be a reset signal (reset) issued to the flash memory 5. If an erasure/write processing is being executed when this reset signal is asserted, it is just required to perform an ending processing so as to store the identification flag. Consequently, the controller 4 checks the identification flag in the flash memory 5 when the flash memory 5 is powered so as to check whether or not there is any memory block in which power shutoff occurs during an erasure/write processing. If such a memory block is detected, the memory block may be replaced with another in accordance with the employed data management method so as not to make the over-erasure cause another problem.

[0049] The identification flag may also be set when a completion processing is performed for non-volatile memory cells during an erasure/write processing. This makes it possible to reduce the memory cell replacement frequency, thereby suppressing the consumption of alternative sectors.

[0050] FIG. 4 shows another example of the instruction route for the ending processing. In that connection, the controller 4 is provided with a microcomputer 20 for controlling both interface and memory. The control register (not shown) of the microcomputer 20 has one bit for setting whether to validate the ejected card detecting function. This setting bit, when a logical value "1" is set therein, validates the ejected card detecting function. This valid bit signal is inputted to a 2-input logical product (AND) gate 21 together with the signal from the terminal H1 and the clock terminal of the D-type latch circuit 22 receives the signal output. The data terminal D of the D-type latch circuit 22 is connected to the ground terminal Vss and the latch circuit 22 outputs the reset signal 23 (reset) to the flash memory 5 through the output terminal Q. The flash memory card 1 is also used to assure perfect compatibility with a hard disk so that the card cannot be inserted/ejected from the card slot 11 freely. In that connection, no instruction is needed for the ending processing. It is just required at that time to set the logical value "0" fixedly for the setting bit.

[0051] FIG. 5 shows a case in which the flash memory 5 is provided with a monitoring terminal for the ending processing. In order to quickly notify the card host system 10 of whether or not the ending processing is instructed to the flash memory 5, the flash memory 5 is provided with a monitoring terminal H2 to be connected to the

external terminal H1. The monitoring terminal H2 enables the card host system 10 to monitor potential changes to occur at the external terminal H1. Consequently, the card host system 10 can save write data so as to write the data again when power shutoff occurs. In addition, it is possible to call the user's attention to the inhibition of card ejection during an erasure/write processing.

[0052] Next, a description will be made for another configuration for detecting card ejection from the card slot 11. In the example shown in FIG. 6, the voltage of the signal terminal H1 is pulled down to that of the ground terminal Hvs in the resistance element 7. In this case, however, the reset signal RST supplied to the signal terminal Hi is a low level pulse that instructs a reset processing, then the reset signal RST is kept at the high level. FIG. 6 shows the memory card 1 inserted in the card host system 10. In that state, the signal terminal H1 keeps the supply voltage Vdd. If an attempt is made to eject the memory card 1 from the card host system 10 at that time as shown in FIG. 7, the card detect terminal Hcd is disconnected from the corresponding terminal Pcd of the card slot 11, then the card controller 4 of the card host system 10 stops supply of the operation power to the terminal Pvd. However, even when the operation power supply stops in such a way, it takes some time until the voltages of the terminals Pvd and Hvd drop due to the parasitic capacity of the power supply system of the card host system 10. In the meantime, the signal terminal H1 is disconnected from the signal terminal P1 of the card host system 10. Consequently, the ground voltage GND is applied to the signal terminal H1 through the resistance element 7, thereby the level of the signal terminal H1 is changed to Low. The low level of the terminal H1 is retained in the latch circuit 22 and the latch circuit 22 outputs a signal 23 to instruct the flash memory 5 to execute an ending processing. After that, it takes some time until the memory card 1 is ejected from the card slot 11 and the terminals Pvd and Pvs of the card slot 11 are disconnected from the card terminals Hvd and Hvs. In the meantime, the flash memory 5 completes the ending processing in response to the above instruction.

[0053] Next, a description will be made for still another configuration for detecting card ejection from the card slot 11. In the example shown in FIG. 8, a potential change occurs at the signal terminal H1 when the card is ejected from the card slot just like in the above example. At this time, the controller 4 stores the flag that denotes power shutoff in response to the potential change. The controller 4 can store the flag in the non-volatile latch circuit 25 provided in itself in that case, not in the flash memory 5. The non-volatile latch circuit 25 is composed of non-volatile memory cells used as bits just like the flash memory 5. If the level of the signal terminal H1 is changed while an attempt is made to eject the memory card 1 from the card host system 10, the controller 4 stores the flag that denotes power shutoff occurrence together with a sector address in the non-volatile latch circuit 25. When the flash memory 5

is powered, the controller 4 checks the flag to check whether or not any power shutoff has occurred. And, if power shutoff occurs, the controller 5 can decide the power-off sector to be abnormal and replace the sector with another as needed.

[0054] Next, a description will be made for still another configuration for detecting card ejection from the card slot 11. In the example shown in FIG. 9, the potential change at the signal terminal H1 is detected just like in the above example when the memory card 1 is ejected from the card slot 11. The controller 4 then starts up the charge pump circuit 30 in response to the detected potential change to supply the operation power of the flash memory 5. And, as described above, the time required until the power supply stops completely can be extended, allowing the controller to complete the necessary processings. The charge pump circuit 30 may be any of a built-in one in the flash memory 5 or a dedicated one added newly to the flash memory 5.

[0055] FIG. 10 shows a flash memory card, which is another example of the card type electronic device of the present invention. The flash memory card shown in FIG. 10 conforms to, for example, the MMC (Multi Medium Card) standard.

[0056] The flash memory card 1 is composed of an interface terminal block 3 formed on a card substrate 2, a controller 4, and a flash memory 5, which is a kind of non-volatile memory enabling information to be erased/written therefrom/therein electrically. The interface terminal block 3 is inserted/ejected in/from the card slot 11 of the card host system 10 such as a personal computer. The type and physical configuration of the interface terminal are decided in accordance with the standard to which the memory card conforms. For example, the interface terminal block 3 is provided with a power supply terminal Fvd, a ground terminals Fvs1 and Fvs2, a card detection terminal Fcd, and a plurality of signal terminals F1 to F4. The card slot 11 is provided with a power supply terminal Pvd, ground terminals Pvs1 and Pvs2, and a plurality of signal terminals P1 to Pn corresponding to the above terminals. For example, the interface terminals Pvd, Pvs1, Pvs2, and P1 to Pn of the card slot 11 are pin terminals while the interface terminals Fvd, Fvs1, Fvs2, and F1 to Fn are flat terminals on which the pin terminals come in contact. The connection/disconnection of the flat power supply terminals Fvd, Fvs1, and Fvs2 to/from the power supply interface terminals Pvd, Pvs1, and Pvs2 are made earlier than the connection/disconnection of Fvd, Fvs1, Pvd, and Pvs1. In short, when the memory card 1 is inserted in the card slot 11, connection of Pvs1 and Pvd to Fvs1 and Fvd is made earlier than connection of Pvs2 to Fvs2. When the memory card 1 is ejected from the card slot 11, the connections are done in the reverse order; Pvs1 is disconnected from Fvs1 and Fvd after Pvs2 is disconnected from Fvs2. For example, the terminal Pvs2 is shorter than the terminals Pvd and Pvs1 by 1 mm.

[0057] The interface terminals Pvd, Pvs1, Pvs2, and P1 to P4 of the

card slot 11 are connected to a card controller (not shown). The card controller detects insertion/ejection of the card 1 and controls supply and stop of the power according to the detection result of insertion/ejection of the card 1, as well as the signal interfaces.

[0058] In the memory card 1, the controller 4 and the flash memory 5 are connected to the power supply terminal Fvd and the ground terminal Fvs to receive the operation power from the card slot 11 respectively. The controller 4 controls interfacing with both of the card host system 10 and the flash memory 5.

[0059] The flash memory 5 is provided with a memory mat in which many non-volatile memory cells, each of which enables information to be written/erased therein/therefrom electrically, are disposed like a matrix similarly to the above example. A high voltage is applied to each memory cell so that information is written/erased therein.

[0060] The controller 4 controls accesses to the flash memory 5 that is assumed as a file memory compatible with a hard disk. For example, the controller 4 manages addresses so as to enable accesses to the data area provided in the flash memory 5 in sectors and controls allocation of sectors that will take the places of defective sectors. Physical addresses are used to access the flash memory 5 to erase, write, and read information therefrom/therein.

[0061] Next, a description will be made for a configuration of the memory card 1 for detecting its own rejection from the card slot 11. In the example shown in FIG. 10, the voltage of the terminal Fvd is pulled up to that of the power supply terminal Fvs1 in the resistance element 7.

[0062] While the memory card 1 is inserted in the card host 11, the terminal Fvs1 keeps the ground voltage GND. If an attempt is made to eject the memory card 1 from the card host system 10, the terminal Fvs1 is disconnected from the signal terminal P1 of the card host system 10. Consequently, a supply voltage Vdd is applied to the signal terminal Fvs1 through the resistance element 7, thereby the level of the signal terminal Fvs1 is changed to High. The High level of the terminal Fvs1 is retained in the latch circuit 22 and the latch circuit 22 outputs a signal 23 to instruct the flash memory 5 to execute an ending processing. After that, it takes some time until the memory card 1 is ejected and the terminals Pvd and Pvs2 of the card slot 11 are disconnected from the terminals Fvd and Fvs2 of the memory card 1. In the meantime, the flash memory 5 completes the ending processing in response to the above instruction.

[0063] While the preferred embodiment of the present invention has been described, it is to be understood that modifications will be apparent to those skilled in the art without departing from the spirit of the invention.

[0064] For example, the non-volatile memory cell may have a split-gate structure provided with a source (connected to a source line), a drain (connected to a bit line), a channel, and a pair of a select gate (connected to a word line) and a memory gate (connected

to a memory gate control line) formed on the channel so as to be insulated from each other. In addition to a threshold voltage difference, the non-volatile memory can employ a carrier trapping position difference with respect to such a charge trapping film as a silicon nitride film to store information therein. Furthermore, although the non-volatile memory cell of the present invention can store information consisting of only one bit, it may store information consisting of two or more bits.

[0065] If a card type electronic device is used as a flash memory card, the card standard may not be limited only to those described above; it may also use other various types of card standards.

[0066] The card type electronic device may not be a flash memory card; it may be any of an SRAM (Static Random Access Memory) card, a LAN (Local Area Network) card, a modem card, and a graphic card. In that connection, if the card includes a non-volatile memory device for storing control information, the memory device may be instructed to execute the ending processing as described above. The present invention may also apply to any card type electronic device that does not include a non-volatile memory. For example, if a communication card is ejected undesirably during a transmission/receiving processing, a power-off/receiving error code may be transmitted to the transmission source smooth the re-transmission processing.

[0067] As described above, the present invention may apply widely to various semiconductor processing systems such as card type electronic devices including removable media.

[0068] The typical effects to be obtained from the present invention disclosed in this specification are briefly described as follows.

[0069] Concretely, because the subject semiconductor processing system represented by a card type electronic device can detect by itself that it is ejected before the power supply thereto stops completely so as to cope with power shutoff. Consequently, any memory card can take a proper measure to cope with such power shutoff in accordance with the employed memory/data management method. This is why the present invention can provide a semiconductor processing system that does not require any of a spare battery and a large capacity capacitor, thereby the processing system is reduced in cost, size, and weight. The semiconductor processing system can also reduce errors to be caused by power shutoffs and improve the reliability.

Data supplied from the esp@cenet database - Worldwide

Claims of corresponding document: US2004193928

1. A semiconductor processing system comprising an interface control circuit and a processing circuit, and attached to an external apparatus so as to receive an operation power supply therefrom, wherein said interface control circuit, when said system is removed from the external apparatus, detects a potential change that occurs at a first external terminal to be disconnected from a predetermined terminal of the external apparatus before the power supply from the external apparatus is shut off, then instructs the processing circuit that is active to perform an ending processing.
2. A semiconductor processing system comprising an interface control circuit and a processing circuit, and attached to an external apparatus so as to receive an operation power supply therefrom, wherein said interface control circuit, when said system is removed from the external apparatus, detects a potential change that occurs at a first external terminal to be disconnected from a predetermined terminal of the external apparatus before the power supply from said external apparatus is shut off, then stores a flag denoting an occurrence of the power supply shutoff.
3. A semiconductor processing system comprising an interface control circuit and a processing circuit and attached to an external apparatus so as to receive an operation power supply therefrom, wherein said interface control circuit, when said system is removed from the external apparatus, detects a potential change that occurs at a first external terminal to be disconnected from a predetermined terminal of the external apparatus before the power supply from the external apparatus is shut off, then starts up a power supply circuit to supplement the operation power supply of the processing circuit.
4. The semiconductor processing system according to claim 1, wherein said system includes a monitoring terminal coupled to said first external terminal, and wherein the monitoring terminal enables the external apparatus to monitor said potential change that occurs at said first external

terminal.

5. The semiconductor processing system according to claim 2, wherein said first external terminal is a reset terminal to be set at a first voltage after a reset instruction is completed, and wherein said reset terminal is coupled to a second external terminal through a resistance element while said second external terminal receives a second voltage from the external apparatus, the polarity of said second voltage being opposite from that of said first voltage.

6. The semiconductor processing system according to claim 3, wherein said first external terminal receives a first voltage when the processing circuit is active and said first external terminal is coupled to said second external terminal through a resistance element, and wherein said second external terminal receives a second voltage from the external apparatus, the polarity of said second voltage being opposite from that of said first voltage.

7. The semiconductor processing system according to claim 5, wherein said first voltage is a ground voltage and said second voltage is a supply voltage while said second external terminal is an external power supply terminal.

8. The semiconductor processing system according to claim 6, wherein said first voltage is a supply voltage and said second voltage is a circuit ground voltage while said second external terminal is a ground source terminal.

9. The semiconductor processing system according to claim 1, wherein the first external terminal is one of a plurality of ground terminals and said one of the ground terminals is connected to a power supply terminal through a resistance element.

10. The semiconductor processing system according to claim 1, wherein said processing circuit includes a non-volatile memory enabling information to be written/erased therein/therefrom electrically; and wherein said interface control circuit is a control circuit for controlling both of said external interface and said non-volatile memory.

11. The semiconductor processing system according to claim 10, wherein said ending processing adjusts threshold voltages of non-volatile memory cells so as to be set in a predetermined threshold voltage range during an erasure/write processing.

12. The semiconductor processing system according to claim 10, wherein said ending processing sets and stores an identification flag that can identify a block of non-volatile memory cells during an erasure/write processing.

13. The semiconductor processing system according to claim 12, wherein said ending processing includes a completing processing for the current erasure/write processing for a non-volatile memory cell.

14. A semiconductor processing system, comprising:
a plurality of external terminals, each of which is attachable/detachable to/from its corresponding terminal of an external apparatus;
a first processing circuit coupled to said plurality of external terminals;
a second processing circuit controlled by said first processing circuit; and
a resistance element used for connection between a first external terminal and a second external terminal among said plurality of external terminals,
wherein said first external terminal receives a first voltage when said second processing circuit is active,
wherein said second external terminal receives a second voltage, and
wherein said first processing circuit, when the system is removed from said external apparatus, detects a voltage change from said first voltage to said second voltage at said first external terminal before power supply from the external apparatus is shut off, then executes a processing in response to the detected voltage change.

15. The semiconductor processing system according to claim 14, wherein said first external terminal is a reset terminal that receives a first voltage after a reset instruction is completed.

16. A semiconductor processing system, comprising:
a plurality of external terminals, each of which is attachable/detachable to/from its corresponding terminal of an external apparatus;
a first processing circuit coupled to said plurality of external terminals;
a second processing circuit controlled by said first processing circuit; and
a resistance element used for connection between the first external terminal and a second external terminal among said plurality of external terminals,
wherein said first external terminal is one of a plurality of ground terminals,
wherein said second terminal is a power supply terminal, and
wherein said first processing circuit, when the system is removed

from said external apparatus, detects a voltage change from a ground voltage to a supply voltage thereof at said first external terminal before power supply from the external apparatus is shut off, then executes a processing in response to the detected voltage change.

17. The semiconductor processing system according to claim 16, wherein said first external terminal is disposed so as to be disconnected from its corresponding terminal of said external apparatus earlier than other ground terminals when the system is removed from said external apparatus.

18. The semiconductor processing system according to claim 16, wherein said second processing circuit includes a non-volatile memory enabling information to be written/erased therein/therefrom electrically, and wherein said first processing circuit is a control circuit for controlling both of said external interface and said non-volatile memory.

Data supplied from the esp@cenet database - Worldwide